

(Продолжение, начало № 1 – 2/2000)

Программируемые логические интегральные схемы: обзор архитектур и особенности применения

Дальнейшее развитие архитектуры FPGA ПЛИС привело к появлению ПЛИС Altera FLEX10K, которые имеют встроенные реконфигурируемые модули памяти (ПМП, Embedded Array Block, EAB), позволяющие использовать ПЛИС для реализации различных устройств памяти внутри кристалла без применения внешних ЗУ.

ПЛИС серии FLEX10K являются, пожалуй, самой популярной элементной базой для реализации алгоритмов ЦОС, построения сложных устройств обработки данных и интерфейсов. Это объясняется тем, что благодаря большой логической емкости, удобной архитектуре, включающей встроенные блоки памяти (EAB), достаточно высокой надежности и удачному соотношению «цена –

логическая емкость» данные ПЛИС удовлетворяют разнообразным требованиям, возникающим у разработ-

чика как систем ЦОС, так и устройств управления, обработки данных и т. п.

В таблице 3 приведены основные сведения о ПЛИС семейства FLEX10K.

В настоящее время выпускаются ПЛИС семейств FLEX10K с напряжением питания 5 В, FLEX10KA с напряжением питания 3,3 В и FLEX10KE с напряжением питания 2,5 В. Кроме того, ПЛИС семейства FLEX10KE имеют емкость встроенного блока памяти 4096 бит в отличие от ПЛИС остальных семейств, имеющих емкость EAB 2048 бит.

Обобщенная функциональная схема ПЛИС семейства FLEX10K приведена на рис. 16.

В основе архитектуры лежат логические блоки (ЛБ), содержащие 8 ЛЭ и локальную матрицу соединений.

лена на строки и столбцы, имеет непрерывную структуру (Fast Track Interconnect). Посередине строки располагаются встроенные блоки памяти (EAB).

Кроме того, имеются глобальные цепи управления, синхронизации и управления вводом/выводом.

Встроенный блок памяти (ВБП) (рис. 17) представляет собой ОЗУ емкостью 2048 (4096) бит и состоит из локальной матрицы соединений, собственно модуля памяти, синхронных буферных регистров, а также программируемых мультиплексоров.

Сигналы на вход ЛМС ВБП поступают со строки ГМС. Тактовые и управляющие сигналы поступают с глобальной шины управляющих сигналов.

Выход ВБП может быть скоммутирован как на строку, так и на столбец ГМС.

Наличие синхронных буферных регистров и программируемых мультиплексоров позволяет конфигурировать ВБП как ЗУ с организацией 256x8, 512x4, 1024x2, 2048x1.

Наличие ВБП дает возможность табличной реализации таких элементов устройств ЦОС, как перемножители, АЛУ, сумматоры и т. п., имеющих быстродействие до 100 МГц (конечно при, самых благоприятных условиях, реально быстрейшие арифметических устройств, созданных на базе ВБП, составляет 10–50 МГц).

Все ПЛИС семейства FLEX10K совместимы по уровням с шиной PCI, имеют возможность как последовательной, так и параллельной загрузки, полностью поддерживают стандарт JTAG.

Разнообразие архитектур функциональных преобразователей, лежащих в основе базовых узлов ПЛИС, и их развитие привели к тому, что в последние годы ПЛИС становятся основой для «систем на кристалле» (system-on-chip, SOC). В

Таблица 3. Основные характеристики ПЛИС семейства FLEX10K

	10K10	10K20	10K30	10K40	10K50	10K70	10K100	10K130	10K250
Число эквивалентных вентиляей	10 000	20 000	30 000	40 000	50 000	70 000	100 000	130 000	250 000
Число лог. элементов	576	1152	1728	2304	2880	3744	4992	6656	12160
Встроенные блоки памяти	3	6	6	8	10	9	12	16	20
Объем памяти, бит	6144	12288	12288	16384	20480	18432	24576	32768	40960
Максимальное число выводов пользователя	150	189	246	189	310	358	406	470	470

логическая емкость» данные ПЛИС удовлетворяют разнообразным требованиям, возникающим у разработ-

Глобальная матрица соединений разде-

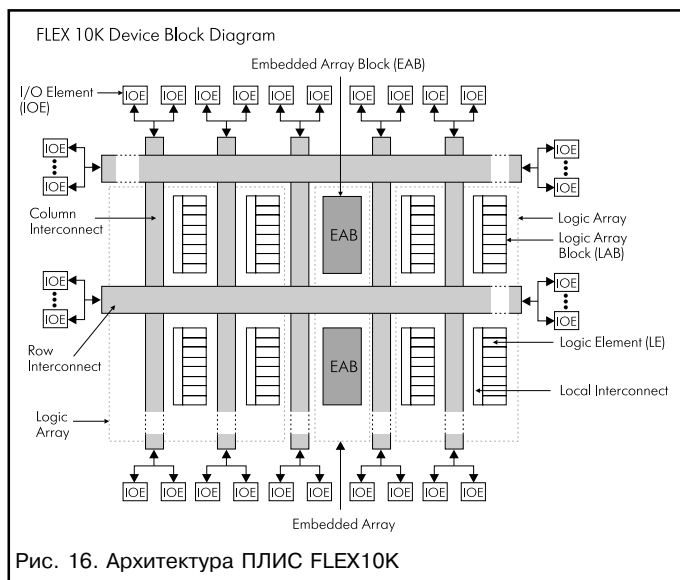


Рис. 16. Архитектура ПЛИС FLEX10K

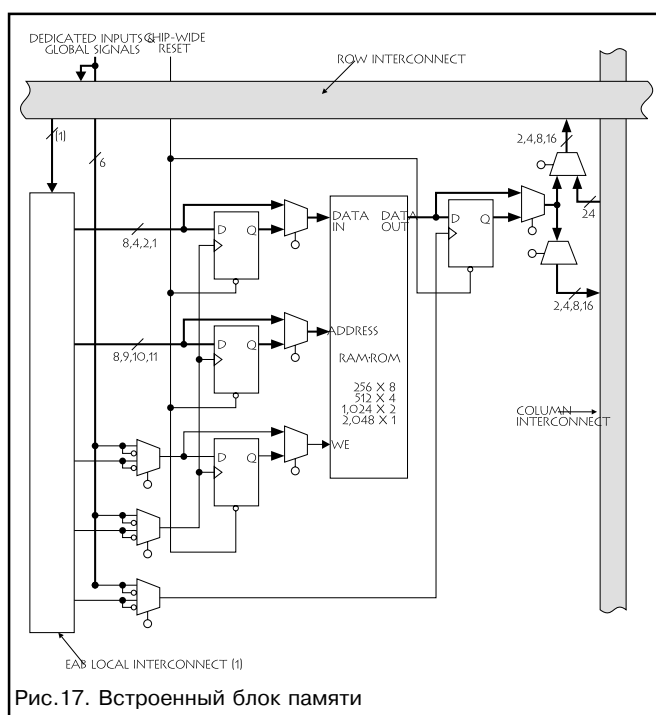


Рис. 17. Встроенный блок памяти

Таблица 4. Основные характеристики ПЛИС семейства APEX20K фирмы Altera

	EP20K100	EP20K160	EP20K200	EP20K300	EP20K400	EP20K600	EP20K1000
Максимальное число эквивалентных вентилях	263 000	404 000	526 000	728 000	1 052 000	153 700	2 670 000
Число лог. элементов	4 160	6 400	8 320	11520	16 640	24 320	42 240
Встроенные блоки памяти	26	40	52	72	104	152	264
Максимальный объем памяти, бит	53 248	81 920	106 496	147 456	212 992	311 296	540 672
Число макроячеек	416	640	832	1 152	1 664	2 432	4 224
Число выводов	252	320	382	420	502	620	780

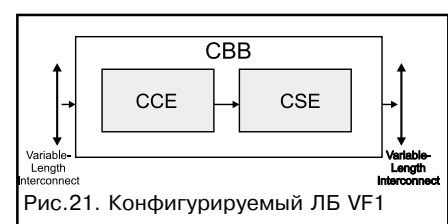
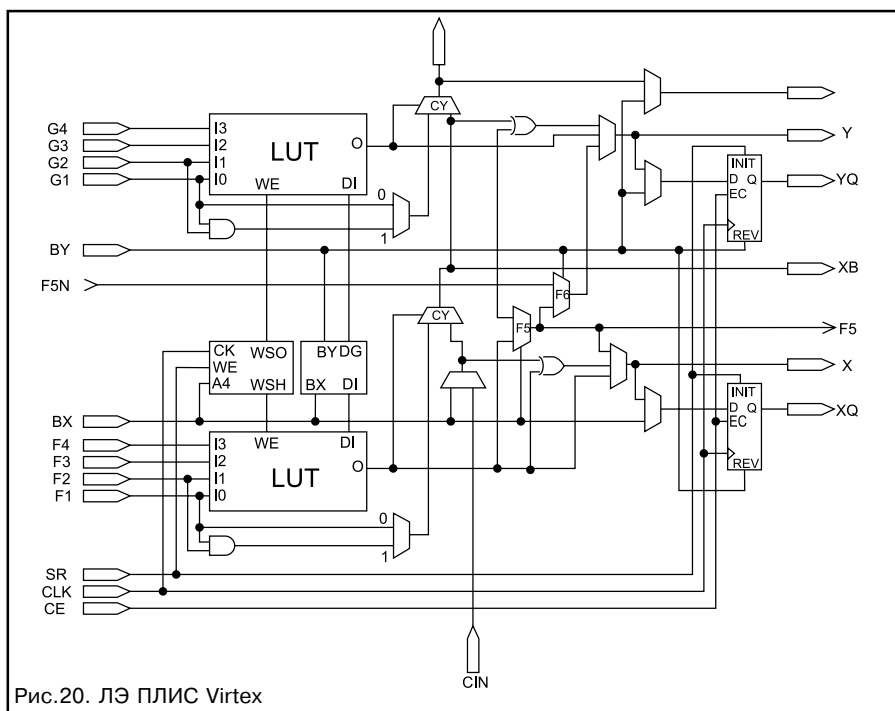
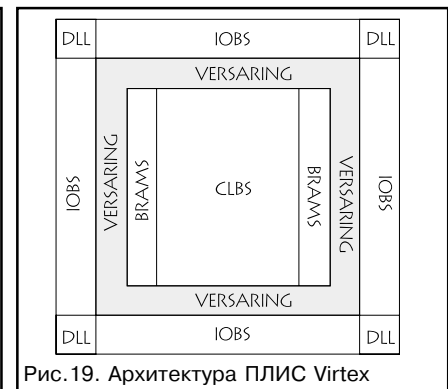
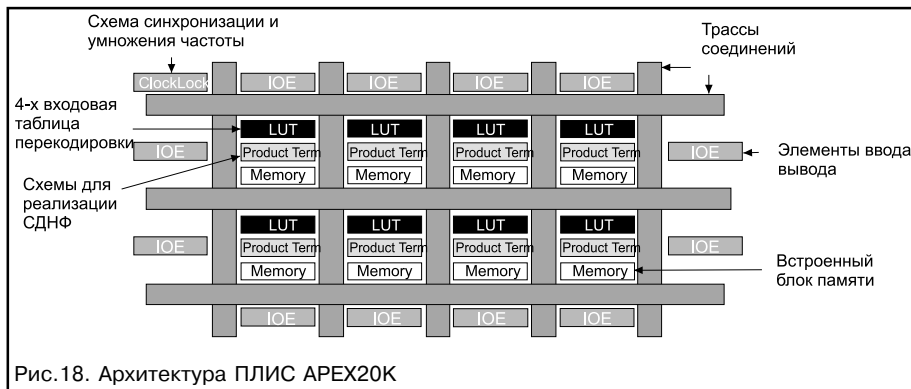
Таблица 5. Основные характеристики ПЛИС семейства Virtex фирмы Xilinx

	XCV50	XCV100	XCV150	XCV200	XCV300	XCV400	XCV600	XCV800	XCV1000
Максимальное число эквивалентных вентилях	57,906	108,904	164,674	236,666	322,97	468,252	661,111	888,439	1,124,022
Число логических элементов	1,728	2,7	3,888	5,292	6,912	10,8	15,552	21,168	27,648
Максимальный объем памяти,	24,576	38,4	55,296	75,264	98,304	153,6	221,184	301,056	393,216
Число выводов пользователя	180	180	260	284	316	404	512	512	512

основе идеи SOC лежит интеграция всей электронной системы в одном кристалле (например, в случае ПК такой чип объединяет процессор, память, и т. д.). Компоненты этих систем разрабатываются отдельно и хранятся в виде файлов параметризуемых модулей. Окончательная структура SOC-микросхемы выполняется на базе этих “виртуальных компонентов”, называемых также “блоками интеллектуальной собственности”, с помощью программ автоматизации проектирования электронных устройств – EDA (Electronic Design Automation). Благодаря стандартизации, в одно целое можно объединять “виртуальные компоненты” от разных разработчиков.

Идеология построения “систем на кристалле” подстегнула ведущих производителей ПЛИС к выпуску в конце 1998 – начале 1999 года изделий с емкостью 100000 эквивалентных вентилях и более.

Примером новых семейств ПЛИС, пригодных для реализации



“систем на кристалле”, является семейство APEX20K фирмы Altera, основные характеристики которого приведены в таблице 4.

Архитектура APEX20K сочетает в себе как достоинства FPGA, с их таблицами перекодировок, входящими в состав логического элемента, так и логику вычисления СДНФ, характерную для CPLD, а также встроенные модули памяти (рис. 18).

Сходной архитектурой обладает и семейство Virtex фирмы Xilinx, основные характеристики которого приведены в таблице 5.

Архитектура ПЛИС Virtex показана на рис. 19.

Отличительной особенностью этих

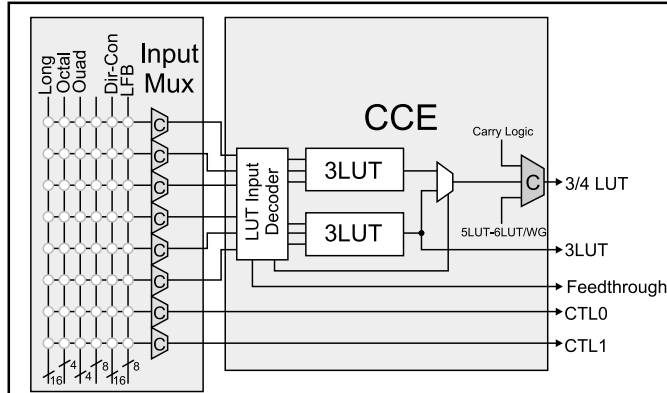


Рис.22. Комбинационный ЛЭ

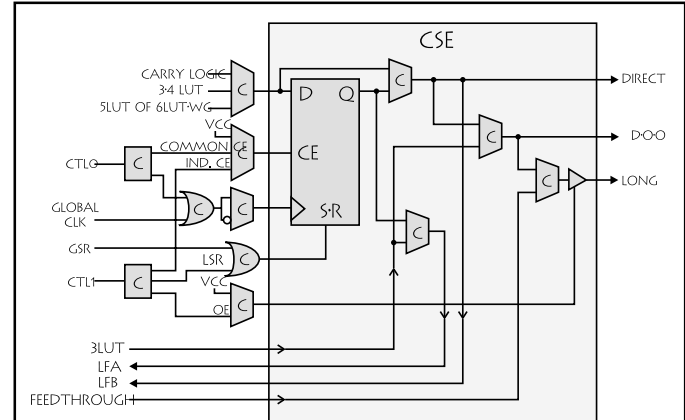


Рис.23. Последовательный ЛЭ



Рис.24. «Зерна» имеющие переменную размерность

ПЛИС является наличие дополнительного ресурса для трассировки – VersaRing, позволяющего обеспечить более удобную трассировку входных и выход-

ных сигналов. Также как, и ПЛИС фирмы Altera, Virtex имеет встроенные блоки памяти.

Структура ЛЭ ПЛИС Virtex показана на рис. 20. Еще одним интересным примером FPGA архитектур являются ПЛИС VF1 фирмы Vantis.

Block) (рис. 24), тем самым позволяя выполнять локальную трассировку узлов различного размера.

В дальнейшем зерна объединяются с использованием глобальной матрицы соединений.

На этом можно закончить обзор архитектур ПЛИС, хотя, конечно, за рамками этого обзора остался целый ряд достаточно интересных продуктов, например, сверхбыстродействующие ПЛИС фирмы QuickLogic и некоторых других производителей. Однако они пока еще не имеют российских дилеров и потому потеря не столь существенна.

Конфигурируемый ЛБ фирмы Vantis (рис. 21) состоит из комбинационного (CCE) и последователь-

ного (CSE) ЛЭ. Их архитектура приведена на рис. 22 и 23 соответственно.

ЛБ объединяются в «зерна», имеющие переменную размерность (Variable Grain

Владимир Стешенко

Продолжение следует